

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-195494

(43)公開日 平成8年(1996)7月30日

(51)IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/20				

H 0 1 L 29/ 78 6 1 7 U

6 1 7 V

審査請求 未請求 請求項の数19 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平7-124028

(22)出願日 平成7年(1995)5月23日

(31)優先権主張番号 特願平6-112874

(32)優先日 平6(1994)5月26日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平6-285190

(32)優先日 平6(1994)11月18日

(33)優先権主張国 日本(J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 阿部 寿

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 田口 英二

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小田 信彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 弁理士 恩田 博宣

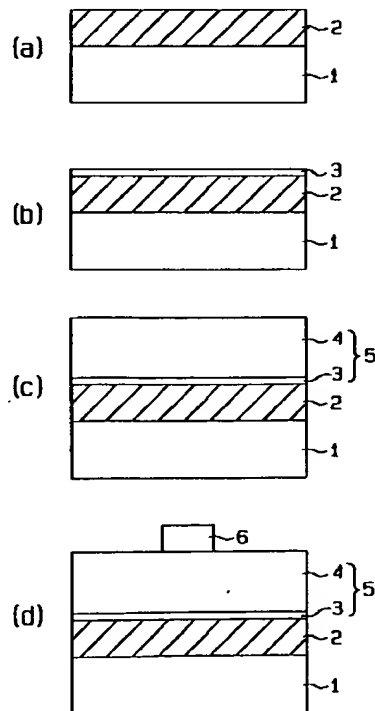
最終頁に続く

(54)【発明の名称】 半導体装置、半導体装置の製造方法、薄膜トランジスタ、薄膜トランジスタの製造方法、表示装置

(57)【要約】

【目的】低温で形成可能で界面準位の小さなゲート絶縁膜を備えた半導体装置の製造方法を提供する。

【構成】透明絶縁基板1上に多結晶シリコン膜2を形成する。UV-O₃照射、水蒸気中での酸化、酸化性ガス雰囲気中でのRTA処理などにより、多結晶シリコン膜2上に50~100 Å程度の極めて薄い酸化膜3を形成する。酸化膜3上にシリコン酸化膜やシリコン窒化膜などの絶縁膜4を形成する。酸化膜3と絶縁膜4とでゲート絶縁膜5が構成される。RTA法により、デバイスの全面に一括して光を照射する。このRTA法により、多結晶シリコン膜2と酸化膜3との界面準位の低減、絶縁膜4の膜質の改善、多結晶シリコン膜2の結晶性の向上を図ることができる。



【特許請求の範囲】

【請求項1】 酸化膜と絶縁膜とから成る少なくとも2層構造の絶縁膜を備えた半導体装置。

【請求項2】 シリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えた半導体装置。

【請求項3】 能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えた半導体装置。

【請求項4】 能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えた半導体装置。

【請求項5】 能動層としての多結晶シリコン膜を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えた薄膜トランジスタ。

【請求項6】 シリコン層を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項7】 RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させて酸化膜を形成する工程と、

その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項8】 RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することでシリコン膜を酸化させて酸化膜を形成する工程と、

その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項9】 UV-O₃ 照射による酸化法によりシリコン膜を酸化させて酸化膜を形成する工程と、

その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えた半導体装置の製造方法。

【請求項10】 請求項6～9のいずれか1項に記載の半導体装置の製造方法において、前記酸化膜および絶縁膜に熱処理を行う工程を備えた半導体装置の製造方法。

【請求項11】 請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を照射する工程を備えた半導体装置の製造方法。

【請求項12】 請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を一括して照射する工程を備えた半導体装置の製造方法。

【請求項13】 絶縁基板上にシリコン膜を形成する工程と、

請求項6～12のいずれか1項に記載の半導体装置の製造方法により、シリコン膜上に少なくとも2層構造のゲート絶縁膜を形成する工程と、

そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項14】 絶縁基板上にシリコン膜を形成する工程と、

RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させてゲート絶縁膜を形成する工程と、

そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項15】 請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は多結晶シリコン膜または非晶質シリコン膜である薄膜トランジスタの製造方法。

【請求項16】 請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は固相成長法または溶融再結晶化法によって形成された多結晶シリコン膜である薄膜トランジスタの製造方法。

【請求項17】 請求項13～16のいずれか1項に記載の薄膜トランジスタの製造方法において、

デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項18】 請求項5に記載の薄膜トランジスタを画素駆動素子として用いる表示装置。

【請求項19】 請求項13～17のいずれか1項に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いる表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、半導体装置の製造方法、薄膜トランジスタ(TFT; Thin Film Transistor)、薄膜トランジスタの製造方法、表示装置に関するものである。

【0002】

【従来の技術】近年、アクティブマトリクス方式の液晶ディスプレイ(LCD; Liquid Crystal Display)が高画質な表示装置として注目されている。そのアクティブマトリクス方式LCDの画素駆動素子(画素駆動用トランジスタ)として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ(以下、多結晶シリコンTFTという)の開発が進められている。

【0003】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタ(以下、非晶質シ

リコンTFTという)に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部(表示部)だけでなく周辺駆動回路(ドライバ)までも同一基板上に一体にして形成することができる。

【0004】従来の多結晶シリコンTFTは、1000℃程度の高温の工程(高温プロセスと呼ばれる)を使って形成されていた。高温プロセスは長年に渡る十分な技術的蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT(高温多結晶シリコンTFTと呼ばれる)は、素子特性、信頼性、再現性に優れている。しかし、高温プロセスはプロセス温度が高いため、基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、基板の寸法が制限を受ける。そのため、コスト的に見合うLCDのパネルサイズは2型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクト用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0005】一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス(例えば、米国Corning Inc.製の「7059」)でも600℃程度の耐熱温度しかない。

【0006】そこで、基板に通常のガラス(高耐熱ガラス)を使用できるように、多結晶シリコンTFTを600℃程度以下の低温の工程(低温プロセスと呼ばれる)を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。低温多結晶シリコンTFTで問題となるのは、能動層となる多結晶シリコン膜の形成方法、ゲート絶縁膜の形成方法、ソース・ドレイン領域の形成方法などである。

【0007】単結晶シリコン基板上に形成される通常のMOSTランジスタ(バルクトランジスタ)では、ゲート絶縁膜として高温酸化法で形成された熱酸化膜が用いられる。単結晶シリコン基板上に形成された熱酸化膜は、膜質が均一で欠陥が少なく耐圧が高いことに加え、界面準位密度(シリコン基板と熱酸化膜との界面のトラップ密度)が小さいため、ゲート絶縁膜として求められる諸条件を満たしている。

【0008】しかし、熱酸化膜は600℃以下で形成することができないため、低温多結晶シリコンTFTではゲート絶縁膜として熱酸化膜を用いることはできない。また、多結晶シリコン膜は単結晶シリコン基板のように表面が平坦ではなく荒れており、その酸化は面方位によって規定されるため、多結晶シリコン膜上に形成された熱酸化膜の表面も荒れたものになる。ゲート絶縁膜の表面

が荒れており、その凹凸が大きいと、多結晶シリコンTFTの素子特性が悪化してしまう。従って、低温多結晶シリコンTFTだけでなく高温多結晶シリコンTFTにおいても、ゲート絶縁膜として熱酸化膜を用いることは望ましくない。

【0009】そこで、多結晶シリコンTFTでは、ゲート絶縁膜として被着法で形成されたシリコン酸化膜が用いられる。被着法にはスパッタ法、常圧CVD法、減圧CVD法、ECR(Electron Cyclotron Resonance)プラズマCVD法などがある。

【0010】スパッタ法は、真空中に基板とターゲットを配置し、アルゴンプラズマなどによってターゲット中の材料をたたき出して基板上に堆積させる方法である。スパッタ法には、反応性スパッタ法と非反応性スパッタ法とがある。反応性スパッタ法では、ターゲットとしてシリコンが用いられ、そのターゲットからたたき出されたシリコンが基板に被着する間にガス中の酸素と反応して酸化シリコンが形成される。一方、非反応性スパッタ法では、ターゲットとして二酸化シリコンが用いられ、そのターゲットからたたき出された二酸化シリコンが基板に直接被着する。

【0011】常圧CVD法や減圧CVD法は、チャンバ内に材料ガスを導入し、材料ガスの化学反応によってできた生成物を基板上に堆積させる方法である。ECRプラズマCVD法は、チャンバ内に材料ガスを導入し、その材料ガスをECR現象を利用して反応させ、その反応によってできた生成物を基板上に堆積させる方法である。

【0012】

【発明が解決しようとする課題】スパッタ法、常圧CVD法、減圧CVD法によって多結晶シリコン膜上に形成されたシリコン酸化膜は、耐圧は高いものの、界面準位密度(多結晶シリコン膜とシリコン酸化膜との界面のトラップ密度)が大きいという欠点がある。ゲート絶縁膜の界面準位密度が大きくなると、多結晶シリコンTFTの素子特性が悪化してしまう。多結晶シリコンTFTの素子特性が悪化すると、LCDの画質が劣化することになる。

【0013】一方、ECRプラズマCVD法では、プラズマの発生と膜の生成とが装置内の別々の領域で行われるため、基板が直接プラズマにさらされることはなく、基板がダメージを受けることはない。そのため、ECRプラズマCVD法によって多結晶シリコン膜上に形成されたシリコン酸化膜は、界面準位密度が小さくなる。加えて、ECRプラズマCVD法ではECR現象を利用することで低温でも材料ガスの完全な反応を起こすことができるため、生成されたシリコン酸化膜の膜質は均一になって欠陥が少なくなり耐圧が高くなる。しかし、ECRプラズマCVD法は現在のところ実験室段階の技術であって量産に結び付けるには問題が多く、スルーアット

を向上させるのが困難であるという欠点がある。

【0014】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 界面単位密度の小さな半導体装置およびその製造方法を提供する。

【0015】2) 優れたゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供する。

3) 高性能な薄膜トランジスタを画素駆動素子として用いる優れた表示装置を提供する。

【0016】

【課題を解決するための手段】請求項1に記載の発明は、酸化膜と絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0017】請求項2に記載の発明は、シリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0018】請求項3に記載の発明は、能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に形成された絶縁膜とから成る少なくとも2層構造の絶縁膜を備えたことをその要旨とする。

【0019】請求項4に記載の発明は、能動層としてのシリコン層を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えたことをその要旨とする。

【0020】請求項5に記載の発明は、能動層としての多結晶シリコン膜を酸化させて形成された酸化膜と、その上に被着法で形成された絶縁膜とから成る少なくとも2層構造のゲート絶縁膜を備えたことをその要旨とする。

【0021】請求項6に記載の発明は、シリコン層を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0022】請求項7に記載の発明は、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0023】請求項8に記載の発明は、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することでシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0024】請求項9に記載の発明は、UV-O₃照射による酸化法によりシリコン膜を酸化させて酸化膜を形成する工程と、その酸化膜上に被着法によって絶縁膜を堆積させる工程とを備えたことをその要旨とする。

【0025】請求項10に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法におい

て、前記酸化膜および絶縁膜に熱処理を行う工程を備えたことをその要旨とする。

【0026】請求項11に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を照射する工程を備えたことをその要旨とする。

【0027】請求項12に記載の発明は、請求項6～9のいずれか1項に記載の半導体装置の製造方法において、RTA法により前記絶縁膜の表面にランプ光を一括して照射する工程を備えたことをその要旨とする。

【0028】請求項13に記載の発明は、絶縁基板上にシリコン膜を形成する工程と、請求項6～12のいずれか1項に記載の半導体装置の製造方法により、シリコン膜上に少なくとも2層構造のゲート絶縁膜を形成する工程と、そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えたことをその要旨とする。

【0029】請求項14に記載の発明は、絶縁基板上にシリコン膜を形成する工程と、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することでシリコン膜を酸化させてゲート絶縁膜を形成する工程と、そのゲート絶縁膜上にゲート配線を形成する工程と、そのゲート配線を用いた自己整合技術により、シリコン膜にソース領域およびドレイン領域を形成する工程とを備えたことをその要旨とする。

【0030】請求項15に記載の発明は、請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は多結晶シリコン膜または非晶質シリコン膜であることをその要旨とする。

【0031】請求項16に記載の発明は、請求項13または請求項14に記載の薄膜トランジスタの製造方法において、前記シリコン膜は固相成長法または溶融再結晶化法によって形成された多結晶シリコン膜であることをその要旨とする。

【0032】請求項17に記載の発明は、請求項13～16のいずれか1項に記載の薄膜トランジスタの製造方法において、デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【0033】請求項18に記載の発明は、請求項5に記載の薄膜トランジスタを画素駆動素子として用いる表示装置。請求項19に記載の発明は、請求項13～17のいずれか1項に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いる表示装置。

【0034】

【作用】請求項1に記載の発明によれば、2層構造の絶

縁膜を得ることができる。請求項2に記載の発明によれば、酸化膜とシリコン層との界面単位密度が小さくなるために、シリコン層と多層構造の絶縁膜との界面単位密度を小さくすることができる。

【0035】請求項3に記載の発明によれば、能動層と多層構造の絶縁膜との界面単位密度を小さくすることができる。請求項4に記載の発明によれば、被着法で形成された絶縁膜と能動層としてのシリコン層との間に当該シリコン層を酸化させて形成された酸化膜を設けることにより、能動層と多層構造の絶縁膜との界面単位密度を

小さくすることができる。【0036】請求項5に記載の発明によれば、被着法で形成された絶縁膜と能動層としての多結晶シリコン膜との間に当該シリコン膜を酸化させて形成された酸化膜を設けることにより、能動層と多層構造の絶縁膜との界面単位密度を小さくすることができる。

【0037】請求項6に記載の発明によれば、酸化膜とシリコン層との界面単位密度が小さくなるために、シリコン層と多層構造の絶縁膜との界面単位密度を小さくすることができる。

【0038】請求項7に記載の発明によれば、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を照射することで、シリコン膜だけを加熱してその表面を酸化させて酸化膜を形成することができる。従って、ランプ光の出力を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0039】請求項8に記載の発明によれば、RTA法により酸化性ガス雰囲気中でシリコン膜にランプ光を走査させて照射することで、シリコン膜だけを加熱してその表面を酸化させて酸化膜を形成することができる。従って、ランプ光の出力および走査速度を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0040】請求項9に記載の発明によれば、UV-O₃照射によってシリコン膜の下層にある部材に影響を与えることなく酸化膜を形成することができる。請求項10に記載の発明によれば、酸化膜および絶縁膜に熱処理を行うことにより、シリコン層(膜)と酸化膜との界面単位密度の低減、絶縁膜の膜質の改善、シリコン層(膜)の結晶性の向上を図ることができる。

【0041】請求項11に記載の発明によれば、RTA法により絶縁膜の表面にランプ光を照射することにより、酸化膜および絶縁膜に熱処理が施される。その結果、シリコン層(膜)と酸化膜との界面単位密度の低減、絶縁膜の膜質の改善、シリコン層(膜)の結晶性の向上を図ることができる。また、ランプ光の出力を調整すれば、シリコン膜の下層にある部材が熱によって影響を受けることはない。

【0042】請求項12に記載の発明によれば、請求項11に記載の発明と同様の作用および効果を得ることが

できる。加えて、ランプ光を一括して照射することにより、デバイス全体にわたって効率的な熱処理を行うことができる。

【0043】請求項13に記載の発明によれば、請求項6～12のいずれか1項に記載の発明の作用および効果により、優れたゲート絶縁膜を備えた薄膜トランジスタを形成することができる。

【0044】請求項14に記載の発明によれば、ランプ光の出力を調整することにより、絶縁基板に影響を与えことなくゲート絶縁膜を形成することができ、薄膜トランジスタを形成することができる。

【0045】請求項15に記載の発明によれば、多結晶シリコン膜を能動層とする薄膜トランジスタまたは非晶質シリコン膜を能動層とする薄膜トランジスタを得ることができる。

【0046】請求項16に記載の発明によれば、多結晶シリコン膜を低温で形成することができる。請求項17に記載の発明によれば、薄膜トランジスタを完成させることができる。

【0047】請求項18または請求項19に記載の発明によれば、高性能な薄膜トランジスタを画素駆動素子として用いることにより、優れた表示装置を得ることができる。また、薄膜トランジスタの製造に係る全工程を低温プロセス化すれば、基板に耐熱温度の低い材料を用いることができ、安価で大面積な表示装置を得ることができる。

【0048】

【実施例】以下、本発明をプレーナ型の多結晶シリコンTFTに具体化した一実施例の製造方法を図1～図3に従って説明する。

【0049】工程1(図1(a)参照);透明絶縁基板1(石英ガラス、高耐熱ガラス)上にノンドープの多結晶シリコン膜2(膜厚;500 Å)を形成する。多結晶シリコン膜2の形成方法には以下のものがある。

【0050】①多結晶シリコン膜2を直接形成する方法;CVD法またはPVD法を用いる。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法などがある。

【0051】この中では、モノシラン(SiH_4)またはジシラン(Si_2H_6)の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜2を形成することができる。減圧CVD法では、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。

【0052】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成

される。そして、不活性ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ラドン）を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0053】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜2を形成する方法；固相成長法または溶融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0054】溶融再結晶化法は、非晶質シリコン膜の表面だけを溶融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA（Rapid Thermal Annealing）法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱溶融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱溶融させる方法である。

【0055】このように、固相成長法または溶融再結晶化法を用いて基板温度が600℃以上にならないようにすれば、透明絶縁基板1として高耐熱ガラスを用いることができる。

【0056】工程2（図1（b）参照）；多結晶シリコン膜2の表面を酸化させて酸化膜3（膜厚：100Å）を形成する。酸化膜3の形成方法には以下のものがある。
(1) UV-O₃照射による酸化法、高温酸化法（水蒸気雰囲気中での酸化法）、低温酸化法（高圧水蒸気雰囲気中での酸化法、酸素プラズマ中での酸化法）などを用いる。

【0057】UV-O₃照射による酸化法とは、酸素雰囲気中で紫外線を照射することによって発生する活性なオゾンを用いて低温で酸化を行う方法である。高温酸化法では酸化膜3を600℃以下で形成することができないが、酸化膜3の膜厚が100Å程度と薄い場合には、透明絶縁基板1として高耐熱ガラスを用いることができる。ところで、高温酸化法には、乾燥酸素を用いるドライ酸化法、湿った酸素を用いるウェット酸化法などもあるが、できるだけ低温で効率の良い酸化を行うには水蒸気雰囲気中での酸化法が適している。

【0058】尚、UV-O₃照射による酸化法または低温酸化法によって形成された酸化膜3の界面単位密度は、高温酸化法によって形成された熱酸化膜と同等で、スパッタ法、常圧CVD法、減圧CVD法などによって形成されたシリコン酸化膜に比べて1桁以上小さくなる。また、UV-O₃照射による酸化法または低温酸化法によって形成された酸化膜3の膜質は均一で欠陥が少なく、その耐圧は高温酸化法によって形成された熱酸化膜と同等になる。

【0059】(2) 酸素、オゾン、水蒸気などの酸化性ガス雰囲気中でRTA処理を行う。このRTA処理で用い

るRTA装置を図3に示す。このRTA装置11は、予備加熱室A、処理室B、冷却室Cを備えている。各室A～Cにまたがってステージ12が設けられ、そのステージ12上をRTA処理されるサンプル（基板1）が移動する。予備加熱室A内では基板1が予備加熱される。処理室B内には、円柱状のランプ（タングステンランプまたはキセノンランプ）13と反射板14（集光光学系）とが備えられており、前記酸化性ガス雰囲気中で満たされている。ランプ13から照射された光は反射板14で反射し、基板1表面に線状に集光される（図示S）。基板1はステージ12上を一定速度で掃引されるため、基板1表面に線状に集光した光Sもステージ12の速度に応じて掃引される。冷却室C内では基板1が冷却される。

【0060】このRTA処理において、多結晶シリコン膜2は線状に集光した光Sを吸収し、温度が上昇する。その結果、酸化性ガス雰囲気中で高温になった多結晶シリコン膜2の表面が熱酸化し、酸化膜3が形成される。このとき、透明絶縁基板1は光を透過して吸収しないため光Sによる直接の温度上昇はなく、多結晶シリコン膜2からの熱伝導によって温度が上昇するだけである。従って、ランプ13の出力やステージ12の掃引速度を調整することにより、透明絶縁基板1の温度を一定値内に抑えたままで、多結晶シリコン膜2の温度を高めることができる。従って、透明絶縁基板1として高耐熱ガラスを用いることができる。

【0061】尚、RTA処理で形成された酸化膜3の膜質は均一で欠陥が少なく、その界面単位密度および耐圧は、高温酸化法によって形成された熱酸化膜と同等になる。また、酸素<水蒸気<オゾンの順で酸化性が高くなるため、酸化性ガスとしてはオゾンを用いた場合に最も効率良く酸化膜3を形成することができる。

【0062】工程3（図1（c）参照）；被着法により、酸化膜3上に絶縁膜4（膜厚：900Å）を形成する。被着法にはPVD法またはCVD法がある。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、ECRプラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB（Electron Beam）蒸着法、MBE（Molecular Beam Epitaxy）法、スパッタ法などがある。そして、絶縁膜4の材質としてはシリコン酸化膜、シリコン窒化膜、シリコン窒化膜（SiO_xN_y）が用いられ、各膜を組み合わせる多層構造にする方法もある。

【0063】スパッタ法では200℃以下の低温で緻密な絶縁膜4を成膜することが可能である上に、成膜速度も速いためスループットを向上させることができる。尚、スパッタ法ではデバイスがプラズマ中にさらされるが、酸化膜3が設けられているため、多結晶シリコン膜2がダメージを受けることはない。

【0064】CVD法によるシリコン酸化膜の形成には、モノシランまたはジシランの熱分解、有機オキシシ

11

ラン(TEOSなど)の熱分解、ハロゲン化珪素の加水分解などを用いる。CVD法によるシリコン窒化膜の形成には、アンモニアおよびジクロルシラン(SiH_2Cl_2)、アンモニアおよびモノシラン、窒素およびモノシランなどの熱分解などを用いる。シリコン窒化膜は酸化膜と窒化膜の両膜の特性をもつもので、CVD法によるシリコン窒化膜の形成の系に酸化窒素(N_2O)を少量導入することで形成できる。

【0065】尚、CVD法を用いた場合は、スパッタ法を用いた場合に比べて成膜温度が高くなる上に成膜速度が遅くなり、形成された絶縁膜4の緻密性が劣るという欠点がある。

【0066】このように形成された絶縁膜4と酸化膜3とでゲート絶縁膜5が形成される。次に、RTA処理により、デバイスの全面に一括して光を照射する。この場合のRTA処理は、前記した酸化膜3の形成時のRTA処理とは異なり、酸化性ガス雰囲気中で行う必要はなく、基板1上に光を線状に集光させる必要やその光を掃引する必要もない。すなわち、デバイスの全面に一括して光を照射することにより、各膜2~4全体を一括して加熱することができる。その結果、多結晶シリコン膜2と酸化膜3との界面準位密度の低減、絶縁膜4の膜質の改善、多結晶シリコン膜2の結晶性の向上を図ることができる。

【0067】工程4(図1(d)参照)；ゲート絶縁膜5上にゲート電極6を形成して所望の形状にパターンニングする。ゲート電極6の材質としては、不純物がドーパされた多結晶シリコン(ドーパドポリシリコン)、金属シリサイド、ポリサイド、高融点金属単体、その他の金属などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0068】工程5(図2参照)；自己整合技術により、ゲート電極6をマスクとして多結晶シリコン膜2にソース・ドレイン領域7を形成する。ソース・ドレイン領域7の形成方法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、不純物をイオン注入後に高温の熱処理を行って不純物を活性化させる。低温プロセスでは、ホスフィンガス(PH_3)またはジボランガス(B_2H_6)と水素ガスとの混合ガスによるイオンシャワーを照射することで、特別な熱処理工程を設けることなく不純物の注入と活性化を同時に行う。尚、低温プロセスでは、不純物をイオン注入後に600℃程度以下の低温で数時間~数十時間の熱処理を行うことで不純物を活性化させる方法もある。

【0069】尚、透明絶縁基板1に高耐熱ガラスを用いた場合には、多結晶シリコン膜2の形成時だけでなく、ゲート絶縁膜5の形成時およびソース・ドレイン領域7の形成時にも低温プロセスを用いなければならない。

【0070】次に、デバイスの全面に層間絶縁膜8を形成する。層間絶縁膜8の材質としては、シリコン酸化

12

膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。続いて、ソース・ドレイン領域7とコンタクトするコンタクトホール9が層間絶縁膜8に形成され、ソース・ドレイン電極10が形成されて多結晶シリコンTFT106が完成する。

【0071】このように、本実施例においては、多結晶シリコン膜2上に形成された酸化膜3と、その上に形成された絶縁膜4とでゲート絶縁膜5が構成されている。ゲート絶縁膜5の界面準位を規定するのは、多結晶シリコン膜2と接する酸化膜3である。ここで、酸化膜3の界面準位密度は小さいため、ゲート絶縁膜5全体としての界面準位密度も小さくなる。従って、本実施例によれば、多結晶シリコンTFT106の素子特性を向上させることができる。

【0072】但し、多結晶シリコン膜2は単結晶シリコン基板のように表面が平坦ではなく、多結晶シリコン膜2の酸化は面方位によって規定されるため、酸化膜3の表面も荒れたものになる。しかし、酸化膜3の膜厚が薄い場合には、酸化膜3の表面の凹凸を小さくすることができる。従って、酸化膜3の膜厚は50~100Åが適当である。酸化膜3の膜厚がこの範囲より厚くなると、酸化膜3の表面の凹凸が大きくなり、多結晶シリコンTFT106の素子特性が悪化する傾向がある。反対に、酸化膜3の膜厚がこの範囲より薄くなると、ゲート絶縁膜5全体としての界面準位密度が大きくなり、やはり多結晶シリコンTFT106の素子特性が悪化する傾向がある。

【0073】また、本実施例において、絶縁膜4の形成にスパッタ法を用いた場合には、ゲート絶縁膜5を低温プロセスによって高いスループットで形成することができる。

【0074】さらに、ゲート絶縁膜5の形成後にRTA処理を行うことにより、多結晶シリコンTFT106の素子特性をさらに向上させることができる。そして、このように形成された高性能の多結晶シリコンTFTをアクティブマトリクス方式LCDの画素駆動素子として用いれば、高画質なLCDを得ることができる。また、本実施例において、全工程に低温プロセスを採用すれば、透明絶縁基板1に高耐熱ガラスを用いてパネルサイズの大きなLCDを安価に提供することができる。

【0075】次に、上記のように製造された多結晶シリコンTFT106を画素駆動素子として用いた透過型構成をとるLCDの画素部の製造方法を図4に従って説明する。

【0076】工程一；層間絶縁膜8の形成に先立ち、スパッタ法により、透明絶縁基板1の画素部領域上にインジウム錫酸化物(ITO；Indium Tin Oxide)等からなる補助容量の蓄積電極51を形成する。

【0077】工程二；デバイスの全面に絶縁膜52を形

成する。絶縁膜52の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。次に、絶縁膜52にソース・ドレイン電極10とコンタクトするためのコンタクトホールを形成し、スパッタ法により、そのコンタクトホールを含むデバイスの全面にITO膜を形成し、そのITO膜をパターンニングして表示電極53を形成する。

【0078】工程三：多結晶シリコンTFT106が形成された透明絶縁基板1と、表面に共通電極54が形成された透明絶縁基板55とを相対向させ、各基板1、55の間に液晶を封入して液晶層56を形成する。その結果、LCDの画素部が完成する。

【0079】図5に、本実施例のアクティブマトリクス方式LCDのブロック構成を示す。画素部101には各走査線（ゲート配線）G1...Gn, Gn+1...Gmと各データ線（ドレイン配線）D1...Dn, Dn+1...Dmとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素102が設けられている。そして、各ゲート配線はゲートドライバ103に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドレイン配線はドレインドライバ（データドライバ）104に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ103、104によって周辺駆動回路部105が構成されている。そして、各ドライバ103、104のうち少なくともいずれか一方を画素部101と同一基板上に形成したLCDは、一般にドライバー一体型（ドライバ内蔵型）LCDと呼ばれる。尚、ゲートドライバ103が、画素部101の両側に設けられている場合もある。また、ドレインドライバ104が、画素部101の両側に設けられている場合もある。

【0080】図6に、ゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素102の等価回路を示す。画素102は、画素駆動素子としてのTFT106、液晶セルLC、補助容量CSから構成される。ゲート配線GnにはTFT106のゲートが接続され、ドレイン配線DnにはTFT106のドレインが接続されている。そして、TFT106のソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量または付加容量）CSとが接続されている。この液晶セルLCと補助容量CSとにより、前記信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFT106のソースと接続される側の電極の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字どおり全ての画素102に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFT1

06のソースと接続される側の電極の反対側の電極は、隣のゲート配線Gn+1と接続されている場合もある。

【0081】このように構成された画素102において、ゲート配線Gnを正電圧にしてTFT106のゲートに正電圧を印加すると、TFT106がオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にしてTFT106のゲートに負電圧を印加すると、TFT106がオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素102へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素102に任意のデータ信号を保持させておくことができる。その画素102の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0082】ここで、画素102の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部101の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLCおよび補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0083】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セルLCはその構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。

【0084】図7に、酸化膜3の膜厚を変化させた場合における多結晶シリコンTFT106の移動度および耐圧の変化を示す。多結晶シリコンTFT106をアクティブマトリクス方式LCDの画素駆動素子として用いる場合、その耐圧が低いと多結晶シリコンTFT106が動作不良を起こす。具体的には、多結晶シリコンTFT106の耐圧は7MV/cm以上は必要である。

【0085】また、ドライバー一体型LCDにおいて、多結晶シリコンTFT106でアクティブマトリクス方式LCDの周辺駆動回路部105を構成する場合、その移動度が低いと周辺駆動回路部の性能が低下し、高画質なLCDを得ることができなくなる。移動度が低い多結晶シリコンTFTで周辺駆動回路部105を構成した上で高画質なLCDを得るとなると、周辺駆動回路部105の回路規模が大きくなり過ぎてしまう。具体的には、多結晶シリコンTFT106の移動度は60cm²/V・S以上は必要である。

【0086】従って、酸化膜3の膜厚は30~130Åが適

当であり、望ましくは50~100 Åである。尚、上記各実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1) 多結晶シリコン膜2を非晶質シリコン膜に置き換え、その非晶質シリコン膜上に酸化膜3と絶縁膜4とを順次形成する。そして、工程3のRTA処理により、その非晶質シリコン膜を加熱溶融させて多結晶シリコン膜2を形成する。

【0087】(2) 酸化膜3をRTA処理で形成した場合、工程3のRTA処理を省く。この場合には、上記実施例に比べてゲート絶縁膜5の界面準位密度の低減効果が劣る上に、絶縁膜4の膜質の改善および多結晶シリコン膜2の結晶性の向上を図ることができなくなる反面、製造工程を簡略化することができる。

【0088】(3) 多結晶シリコンTFTの製造工程において、多結晶シリコン膜2の形成後に、水素化処理を行うことで多結晶シリコンTFTの素子特性を向上させる。水素化処理とは、多結晶シリコンの結晶欠陥部分に水素原子を結合させることにより、欠陥を減らして結晶構造を安定化させ、電界効果移動度を高める方法である。

【0089】(4) 多結晶シリコン膜2におけるソース・ドレイン領域7間のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTの閾値電圧(Vth)を制御する。固相成長法で形成された多結晶シリコンTFTにおいては、nチャネルトランジスタではディプレッション方向に閾値電圧がシフトし、pチャネルトランジスタではエンハンスメント方向に閾値電圧がシフトする傾向にある。特に、水素化処理を行った場合には、その傾向がより顕著となる。この閾値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングすればよい。

【0090】(5) 多結晶シリコンTFTが小型化してゲート絶縁膜の膜厚が薄くなった場合には、絶縁膜4を省いて酸化膜3のみでゲート絶縁膜5を構成してもよい。

(6) 多結晶シリコンTFTではなく非晶質シリコンTFTに適用する。

【0091】(7) プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などあらゆる構造のTFTに適用する。

(8) TFTだけでなく、絶縁ゲート型半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(SIT; Static Induction Transistor)などのシリコン膜を用いるあらゆる半導体装置に適用する。

【0092】(9) 透明絶縁基板1をセラミックス基板やシリコン酸化膜などの絶縁層に置き換え、LCDではなく密着型イメージセンサや三次元ICなどに適用する。

(10) TFTを、ダイナミックRAM(DRAM)のメモリセル内の電荷転送素子やスタティックRAM(SRAM)のメモリセル内の負荷素子などに用いる。

【0093】以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項13~17のいずれか1項に記載の薄膜トランジスタの製造方法において、シリコン膜に水素化処理を施した薄膜トランジスタの製造方法。

10 【0094】このようにすれば、シリコン膜に多結晶シリコン膜を用いた場合、その結晶欠陥部分に水素原子が結合することにより、欠陥が減って結晶構造が安定化し、電界効果移動度を高めることができる。

【0095】(ロ) 請求項13~17のいずれか1項に記載の薄膜トランジスタの製造方法において、シリコン膜のチャネル領域に相当する部分に不純物をドーピングした薄膜トランジスタの製造方法。

20 【0096】このようにすれば、薄膜トランジスタの閾値電圧を制御することができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0097】(a) 絶縁基板としては、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むだけでなく、表面にシリコン酸化膜などの絶縁層を設けた金属などの導電性基板をも含むものとする。

【0098】(b) 酸化性ガスとしては、酸素だけでなく、オゾンや水蒸気などのあらゆる酸化性ガスをも含むものとする。

30 【0099】

【発明の効果】

1) 界面準位密度の小さな半導体装置およびその製造方法を提供することができる。

【0100】2) 優れたゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供することができる。

3) 高性能な薄膜トランジスタを画素駆動素子として用いる優れた表示装置を提供することができる。

【図面の簡単な説明】

40 【図1】一実施例の製造工程を説明するための概略断面図。

【図2】一実施例の製造工程を説明するための概略断面図。

【図3】一実施例の製造装置の概略構成図。

【図4】LCDの画素部の製造方法を説明するための概略断面図。

【図5】アクティブマトリックス方式LCDのブロック構成図。

【図6】画素の等価回路図。

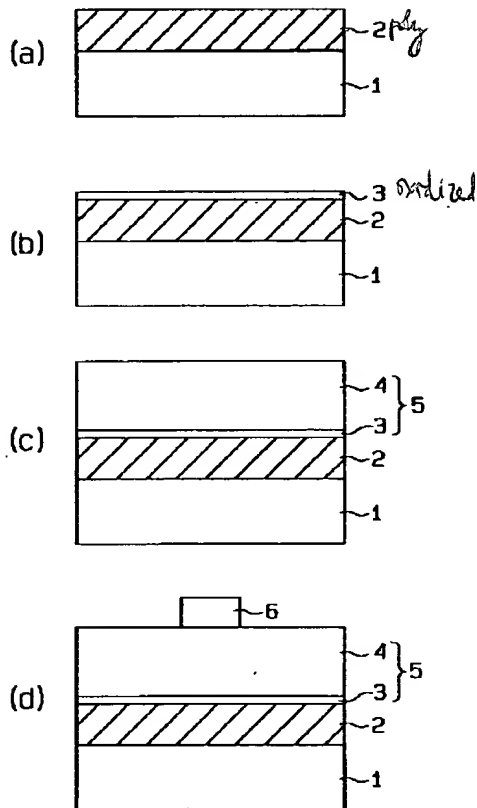
【図7】一実施例の作用を説明するための特性図。

50 【符号の説明】

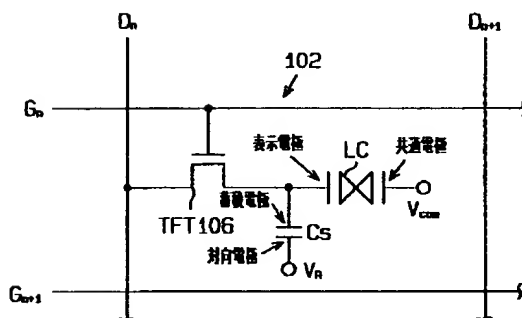
17

- 1 透明絶縁基板
- 2 多結晶シリコン膜
- 3 酸化膜
- 4 絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極

【図1】



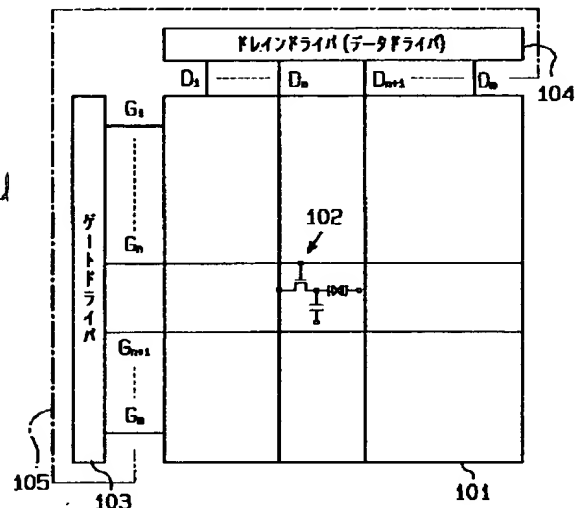
【図6】



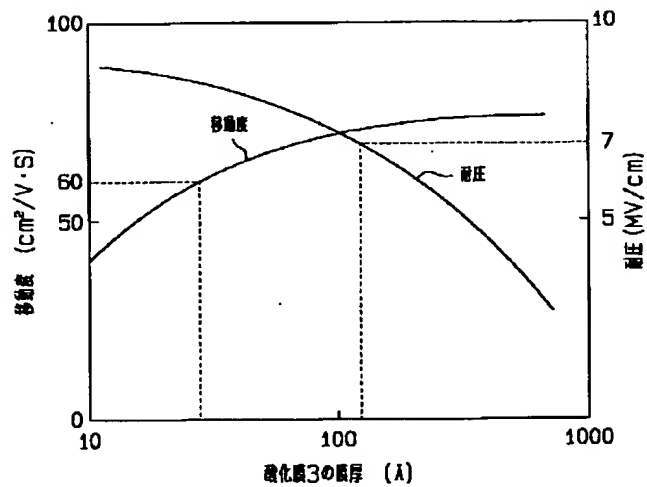
18

- 7 ソース領域およびドレイン領域 (ソース・ドレイン領域)
- 8 層間絶縁膜
- 9 コンタクトホール
- 10 ソース電極およびドレイン電極 (ソース・ドレイン電極)

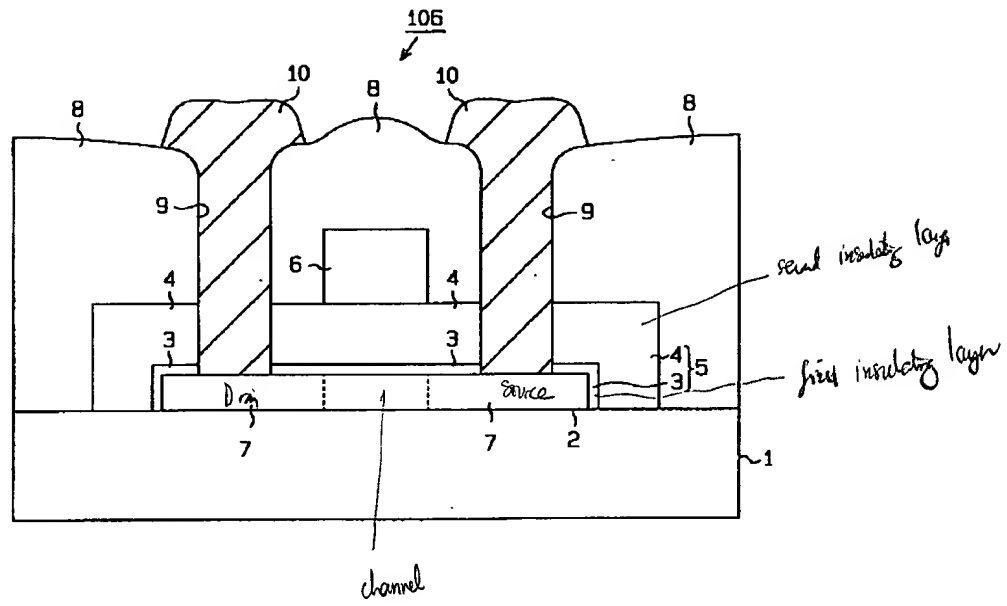
【図5】



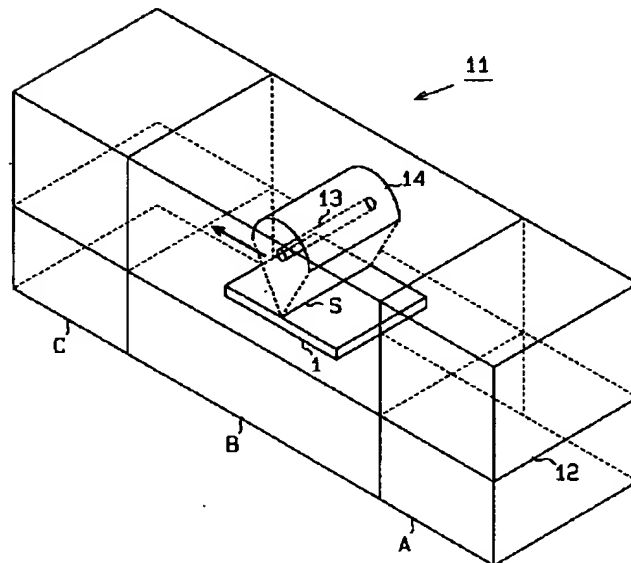
【図7】



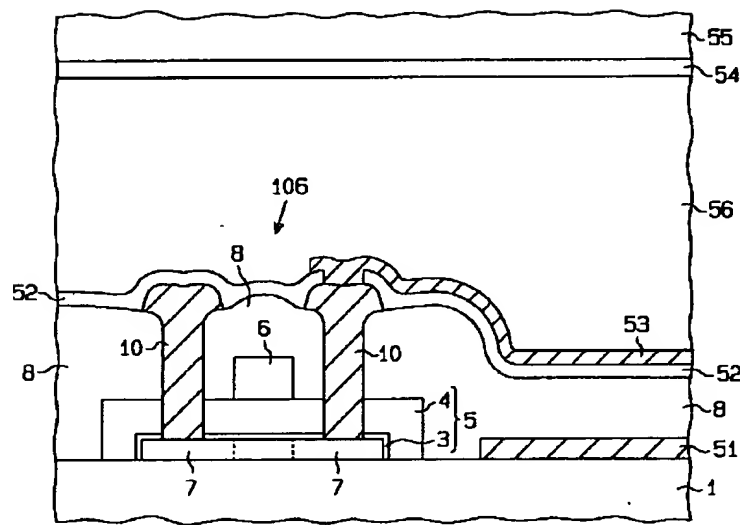
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁶

H01L 21/316
21/336

識別記号

庁内整理番号
M

F I

技術表示箇所

H01L 29/78

627 G

(72)発明者 瀬川 泰生

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] this invention relates to the manufacture technique of the manufacture technique of a semiconductor device and a semiconductor device, TFT (TFT; Thin Film Transistor), and TFT, and display.

[0002]

[Prior art] In recent years, the liquid crystal display (LCD; Liquid Crystal Display) of an active matrix attracts attention as high definition display. The development of the TFT (henceforth polycrystal silicon TFT) which used for the active layer the polycrystal silicon layer formed on the transparent insulating substrate as a pixel driver element (transistor for a pixel drive) of the active-matrix LCD is furthered.

[0003] Polycrystal silicon TFT has the advantage that mobility is large and drive capacity is high, compared with the TFT (henceforth amorphous silicon TFT) which used the amorphous silicon layer for the active layer. Therefore, if polycrystal silicon TFT is used, highly efficient LCD is realizable, and upwards, it can be made one on the same substrate also not only to the pixel section (display) but to a circumference drive circuit (driver), and can form.

[0004] The conventional polycrystal silicon TFT was formed using the about 1000-degree C hot process (called an elevated-temperature process). An elevated-temperature process follows the LSI technology with sufficient technical store over many years. Therefore, polycrystal silicon TFT (referred to as elevated-temperature polycrystal silicon TFT) formed in the elevated-temperature process is excellent in an element property, a reliability, and repeatability. However, since an elevated-temperature process has high process temperature, it cannot but use quartz glass for a substrate. Since quartz glass turns remarkably expensive up in connection with large-sized-izing and a limitation is now in large-sized-ization, the dimension of a substrate receives a limit. therefore, although the panel size of LCD which balances in cost becomes below 2 type and it can fully be used as the object for viewfinders and the object for liquid crystal projectors of a video camera, as an object for accepting reality, a panel size is small -- it cannot be elapsed and used

[0005] On the other hand, using the process of the low temperature below 400 **, since it can form, amorphous silicon TFT can use usual glass for a substrate. Also as for the high heat-resisting glass (for example, "7059" made from U.S. Corning Inc.) of quartz glass marketed for LCD although there is no about 1-/limit also in a dimension at a price of 10, usual glass has only the heat-resistant temperature about 600 **.

[0006] Then, it is asked for forming polycrystal silicon TFT using the process (called a low-temperature process) of the low temperature below 600 ** grade so that usual glass (quantity heat-resisting glass) can be used for a substrate. Polycrystal silicon TFT formed in the low-temperature process is called low-temperature polycrystal silicon TFT. The formation technique of the polycrystal silicon layer used as an active layer, the formation technique of a gate insulator layer, the formation technique of a source drain field, etc. pose a problem by low-temperature polycrystal silicon TFT.

[0007] In the usual MOS transistor (bulk transistor) formed on a single-crystal-silicon substrate, the thermal oxidation layer formed by the voloxidation as a gate insulator layer is used. The thermal oxidation layer formed on the single-crystal-silicon substrate has uniform membraneous quality, and, in addition to there being few defects and a proof pressure being high, for the parvus reason, the interface level density (trap density of the interface of a silicon substrate and a thermal oxidation layer) fulfills the terms and conditions searched for as a gate insulator layer.

[0008] However, since a thermal oxidation layer cannot be formed below by 600 **, it cannot use a thermal oxidation layer as a gate insulator layer in low-temperature polycrystal silicon TFT. Moreover, like a single-crystal-silicon substrate, a polycrystal silicon layer does not have a flat front face, it is ruined, and since the oxidization is specified by the field azimuth, it becomes what was ruined. The front face of a gate insulator layer is ruined, and if the irregularity is large, the element property of polycrystal silicon TFT will get worse. Therefore, not only in low-temperature polycrystal silicon TFT but elevated-temperature polycrystal silicon TFT, it is not desirable to use a thermal oxidation layer as a gate insulator layer.

[0009] Then, in polycrystal silicon TFT, the silicon oxide formed by the **-ed method as a gate insulator layer is used. There are a spatter, ordinary-pressure CVD, reduced pressure CVD, efficient consumer response (Electron Cyclotron Resonance) plasma CVD method, etc. as **-ed method.

[0010] A spatter is the technique of arranging a substrate and a target in a vacuum, starting striking the material in a target by the argon plasma etc., and making it deposit on a substrate. There are a reactant spatter and a non-reactivity spatter as spatter. In a reactant spatter, silicon is used as a target and a silicon oxide is formed with the oxygen in gas in response to while the silicon which started being struck from the target -ed **s to a substrate. On the other hand, in a non-reactivity spatter, a ** silicon oxide is used as a target and the ** silicon oxide which started being struck from the target -ed **s directly to a substrate.

[0011] Ordinary-pressure CVD and reduced pressure CVD are the technique of making the product which introduced material gas in the chamber and was made according to the chemical reaction of material gas depositing on a substrate. efficient consumer

response plasma CVD method is the technique of making the product which introduced material gas in the chamber, and the material gas was made reacting using efficient consumer response phenomenon, and was made by the reaction depositing on a substrate.

[0012]

[Object of the Invention] The silicon oxide formed on the polycrystal silicon layer of a sputter, ordinary-pressure CVD, and reduced pressure CVD has the fault that an interface level density (trap density of the interface of a polycrystal silicon layer and a silicon oxide) is large, although a proof pressure is high. If the interface level density of a gate insulator layer becomes large, the element property of polycrystal silicon TFT will get worse. When the element property of polycrystal silicon TFT gets worse, the quality of image of LCD will deteriorate.

[0013] On the other hand, by efficient consumer response plasma CVD method, since occurrence of a plasma and membranous generation are performed in the separate field in equipment, a substrate is not exposed to a direct plasma and a substrate does not receive a damage. Therefore, as for the silicon oxide formed on the polycrystal silicon layer by efficient consumer response plasma CVD method, an interface level density becomes small. In addition, by efficient consumer response plasma CVD method, since the perfect reaction of material gas can be caused also at low temperature by using efficient consumer response phenomenon, the membranous quality of the generated silicon oxide becomes uniform, its defect decreases, and a proof pressure becomes high. However, efficient consumer response plasma CVD method has the fault that being the technique of a laboratory phase now and connecting to mass production has many problems, and it is difficult to raise a throughput.

[0014] this invention is made in order to solve the above-mentioned trouble, and it has the following purposes.

1) Offer the small semiconductor device and its manufacture technique of an interface level density.

[0015] 2) Offer the TFT equipped with the outstanding gate insulator layer, and its manufacture technique.

3) Offer the outstanding display using highly efficient TFT as a pixel driver element.

[0016]

[The means for solving a technical problem] Invention given in a claim 1 makes the summary the thing which consists of an oxide film and an insulator layer and for which it had the insulator layer of two-layer structure at least.

[0017] Invention given in a claim 2 makes the summary the thing which consists of the oxide film which a silicon layer is oxidized and was formed, and the insulator layer formed on it and for which it had the insulator layer of two-layer structure at least.

[0018] Invention given in a claim 3 makes the summary the thing which consists of the oxide film which the silicon layer as an active layer is oxidized and was formed, and the insulator layer formed on it and for which it had the insulator layer of two-layer structure at least.

[0019] Invention given in a claim 4 makes the summary the thing which consists of the oxide film which the silicon layer as an active layer is oxidized and was formed, and the insulator layer formed by the ** -ed method on it and for which it had the gate insulator layer of two-layer structure at least.

[0020] Invention given in a claim 5 makes the summary the thing which consists of the oxide film which the polycrystal silicon layer as an active layer is oxidized, and was formed, and the insulator layer formed by the ** -ed method on it and for which it had the gate insulator layer of two-layer structure at least.

[0021] Invention given in a claim 6 makes it the summary to have had the process which a silicon layer is oxidized and forms an oxide film, and the process which makes an insulator layer deposit by the ** -ed method on the oxide film.

[0022] Invention given in a claim 7 makes it the summary to have had the process which a silicon layer is oxidized by irradiating lamp light in the oxidizing gas ambient atmosphere by the RTA method at a silicon layer, and forms an oxide film, and the process which makes an insulator layer deposit by the ** -ed method on the oxide film.

[0023] Let it be the summary to have equipped invention given in a claim 8 with the process which a silicon layer is oxidized by making a silicon layer scan lamp light in the oxidizing gas ambient atmosphere by the RTA method, and irradiating, and forms an oxide film, and the process which makes an insulator layer deposit by the ** -ed method on the oxide film.

[0024] Invention given in a claim 9 is UV-O3. Let it be the summary to have had the process which a silicon layer is oxidized by the oxidation style by irradiation, and forms an oxide film, and the process which makes an insulator layer deposit by the ** -ed method on the oxide film.

[0025] Invention given in a claim 10 makes it the summary to have had the process which heat-treats to the aforementioned oxide film and an insulator layer in the manufacture technique of a semiconductor device given in any 1 term of claims 6-9.

[0026] Invention given in a claim 11 makes it the summary to have had the process which irradiates lamp light on the front face of the aforementioned insulator layer by the RTA method in the manufacture technique of a semiconductor device given in any 1 term of claims 6-9.

[0027] Let it be the summary to have equipped invention given in a claim 12 with the process which lamp light is put in block on the front face of the aforementioned insulator layer by the RTA method, and is irradiated in the manufacture technique of a semiconductor device given in any 1 term of claims 6-9.

[0028] Invention given in a claim 13 by the manufacture technique of the semiconductor device a publication in the process which forms a silicon layer on an insulating substrate, and any 1 term of claims 6-12 Let it be the summary to have had the process which forms the gate insulator layer of two-layer structure at least on a silicon layer, the process which forms a gate wiring on the gate insulator layer, and the process which forms a source field and a drain field in a silicon layer with the self-matching technique using the gate wiring.

[0029] Invention given in a claim 14 makes it the summary to have had the process which forms a silicon layer on an insulating substrate, the process which a silicon layer is oxidized by irradiating lamp light in the oxidizing gas ambient atmosphere by the RTA method at a silicon layer, and forms a gate insulator layer, the process which forms a gate wiring on the gate insulator layer, and the process which forms a source field and a drain field in a silicon layer with the self-matching technique using the gate

wiring.

[0030] Invention given in a claim 15 makes it the summary that the aforementioned silicon layer is a polycrystal silicon layer or an amorphous silicon layer in the manufacture technique of TFT given in the claim 13 or the claim 14.

[0031] Let it be the summary that invention given in a claim 16 is the polycrystal silicon layer in which the aforementioned silicon layer was formed by the solid phase grown method or the melting recrystallization method in the manufacture technique of TFT given in the claim 13 or the claim 14.

[0032] Invention given in a claim 17 is the manufacture technique of the TFT equipped with the process which forms a layer insulation layer all over a device in the manufacture technique of TFT given in any 1 term of claims 13-16, the process which forms the contact hole in contact with a source field and a drain field in the layer insulation layer, and the process which forms a source electrode and a drain electrode.

[0033] Invention given in a claim 18 is display which uses TFT given in a claim 5 as a pixel driver element. Invention given in a claim 19 is the display using the TFT manufactured by the manufacture technique of TFT given in any 1 term of claims 13-17 as a pixel driver element.

[0034]

[Operation] According to invention given in a claim 1, the insulator layer of two-layer structure can be obtained. According to invention given in a claim 2, since the interface level density of an oxide film and a silicon layer becomes small, the interface level density of a silicon layer and the insulator layer of multilayer structure can be made small.

[0035] According to invention given in a claim 3, the interface level density of an active layer and the insulator layer of multilayer structure can be made small. According to invention given in a claim 4, the interface level density of an active layer and the insulator layer of multilayer structure can be made small by preparing the oxide film which the concerned silicon layer is oxidized and was formed between the insulator layers and the silicon layers as an active layer which were formed by the ** -ed method.

[0036] According to invention given in a claim 5, the interface level density of an active layer and the insulator layer of multilayer structure can be made small by preparing the oxide film which the concerned silicon layer is oxidized between the insulator layers and the polycrystal silicon layers as an active layer which were formed by the ** -ed method, and was formed in it.

[0037] According to invention given in a claim 6, since the interface level density of an oxide film and a silicon layer becomes small, the interface level density of a silicon layer and the insulator layer of multilayer structure can be made small.

[0038] According to invention given in a claim 7, by irradiating lamp light in the oxidizing gas ambient atmosphere by the RTA method at a silicon layer, only a silicon layer can be heated, the front face can be oxidized, and an oxide film can be formed. Therefore, if the output of lamp light is adjusted, the component in the lower layer of a silicon layer will not be influenced with heat.

[0039] According to invention given in a claim 8, by making a silicon layer scan lamp light in the oxidizing gas ambient atmosphere by the RTA method, and irradiating, only a silicon layer can be heated, the front face can be oxidized, and an oxide film can be formed. Therefore, if the output and scan speed of lamp light are adjusted, the component in the lower layer of a silicon layer will not be influenced with heat.

[0040] According to invention given in a claim 9, it is UV-O3. An oxide film can be formed, without affecting the component which is in the lower layer of a silicon layer by irradiation. According to invention given in a claim 10, reduction of the interface level density of a silicon layer (layer) and an oxide film, membraneous improvement of an insulator layer, and crystalline enhancement in a silicon layer (layer) can be aimed at by heat-treating to an oxide film and an insulator layer.

[0041] According to invention given in a claim 11, heat treatment is performed to an oxide film and an insulator layer by irradiating lamp light on the surface of an insulator layer by the RTA method. Consequently, reduction of the interface level density of a silicon layer (layer) and an oxide film, membraneous improvement of an insulator layer, and crystalline enhancement in a silicon layer (layer) can be aimed at. Moreover, if the output of lamp light is adjusted, the component in the lower layer of a silicon layer will not be influenced with heat.

[0042] According to invention given in a claim 12, the same operation and same effect as invention of a publication can be acquired to a claim 11. In addition, efficient heat treatment can be performed over the whole device by putting lamp light in block and irradiating it.

[0043] According to invention given in a claim 13, the TFT equipped with the outstanding gate insulator layer can be formed in any 1 term of claims 6-12 according to an operation and effect of invention of a publication.

[0044] According to invention given in a claim 14, by adjusting the output of lamp light, a gate insulator layer can be formed, without affecting an insulating substrate, and TFT can be formed.

[0045] According to invention given in a claim 15, the TFT which uses as an active layer the TFT or the amorphous silicon layer which uses a polycrystal silicon layer as an active layer can be obtained.

[0046] According to invention given in a claim 16, a polycrystal silicon layer can be formed at low temperature. According to invention given in a claim 17, TFT can be completed.

[0047] According to invention given in the claim 18 or the claim 19, the outstanding display can be obtained by using highly efficient TFT as a pixel driver element. Moreover, if all the processes concerning a manufacture of TFT are formed into a low-temperature process, the material with heat-resistant low temperature can be used for a substrate, and display [that it is cheap and large area] can be obtained.

[0048]

[Example] Hereafter, the manufacture technique of one example which materialized this invention to planar type polycrystal silicon TFT is explained according to drawing 1 - drawing 3.

[0049] The polycrystal silicon layer 2 (thickness: 500 **) of a non dope is formed on the transparent process 1 (refer to drawing 1 (a)); insulating substrate 1 (quartz glass, high heat-resisting glass). There are the following in the formation technique of the polycrystal silicon layer 2.

[0050] ** Use the technique; CVD or PVD which forms the polycrystal silicon layer 2 directly. There are ordinary-pressure CVD, reduced pressure CVD, a plasma CVD method, optical-pumping CVD, etc. as CVD. Moreover, there are a vacuum deposition, EB (Electron Beam) vacuum deposition, the MBE (Molecular Beam Epitaxy) method, a spatter, etc. in PVD.

[0051] In this, the reduced pressure CVD using the pyrolysis of a mono silane (SiH_4) or a disilane (Si_2H_6) is common, and can form the quality polycrystal silicon layer 2. In reduced pressure CVD, processing temperature serves as a polycrystal below at 550 ** above an amorphous substance and 620 **.

[0052] Moreover, the plasma CVD method for using the pyrolysis of the mono silane in the inside of a plasma or a disilane is also used. If the processing temperature of a plasma CVD method adds hydrogen by 300 ** grade, a reaction will be promoted and an amorphous silicon layer will be formed. And if inert gas (helium, neon, an argon, a krypton, a xenon, radon) is added, a plasma will be excited and a polycrystal silicon layer will be formed also at the same processing temperature.

[0053] ** Use the technique; solid phase grown method or melting recrystallization method which is made to polycrystal-ize and forms the polycrystal silicon layer 2 after forming an amorphous silicon layer. A solid phase grown method is the technique of making it polycrystal-izing with a solid-state, and obtaining a polycrystal silicon layer, by performing prolonged heat treatment before and behind 20 hours on an amorphous silicon layer before and behind 600 **.

[0054] A melting recrystallization method is the technique of maintaining substrate temperature below at 600 **, carrying out melting only of the front face of an amorphous silicon layer, and attaining a recrystallization, and has the laser annealing method and the RTA (Rapid Thermal Annealing) method. The laser annealing method is technique to which irradiate the front face of an amorphous silicon layer and it is made to carry out heating melting of the laser. The RTA method is technique to which irradiate the front face of an amorphous silicon layer and it is made to carry out heating melting of the lamp light.

[0055] Thus, if substrate temperature is made not to become more than 600 ** using a solid phase grown method or a melting recrystallization method, high heat-resisting glass can be used as a transparent insulating substrate 1.

[0056] The front face of the process 2 (refer to drawing 1 (b)); polycrystal silicon layer 2 is oxidized, and an oxide film 3 (thickness; 100 **) is formed. There are the following in the formation technique of an oxide film 3.

(1) UV-O3 The oxidation style by irradiation, a voloxidation (oxidation style in the inside of the steam ambient atmosphere), a low-temperature-oxidation method (the oxidation style in the inside of the hyperbaric-pressure steam ambient atmosphere, oxidation style in the inside of an oxygen plasma), etc. are used.

[0057] UV-O3 The oxidation style by irradiation is the technique of oxidizing at low temperature using the activity ozone which occurs by irradiating ultraviolet rays in the oxygen ambient atmosphere. Although an oxide film 3 cannot be formed below by 600 ** in a voloxidation, when the thickness of an oxide film 3 is as thin as 100 ** grade, high heat-resisting glass can be used as a transparent insulating substrate 1. By the way, although the wet oxidation style using the dry oxidation style which uses xeransis oxygen, and damp oxygen etc. is in a voloxidation, the oxidation style in the inside of the steam ambient atmosphere is suitable for performing efficient oxidization at low temperature as much as possible.

[0058] In addition, UV-O3 The interface level density of the oxide film 3 formed by the oxidation style by irradiation or the low-temperature-oxidation method is equivalent to the thermal oxidation layer formed of the voloxidation, and becomes small 1 or more figures compared with the silicon oxide formed of a spatter, ordinary-pressure CVD, reduced pressure CVD, etc. Moreover, UV-O3 The membrane quality of the oxide film 3 formed by the oxidation style by irradiation or the low-temperature-oxidation method is uniform, and has few defects, and the proof pressure becomes the thermal oxidation layer and EQC which were formed of the voloxidation.

[0059] (2) Perform RTA processing in the oxidizing gas ambient atmosphere, such as oxygen, ozone, and a steam. RTA equipment used by this RTA processing is shown in drawing 3. This RTA equipment 11 is equipped with preheating room A, processing room B, and cooling room C. A stage 12 is formed ranging over each ** A-C, and the sample (substrate 1) by which RTA processing is carried out moves in the stage 12 top. The preheating of the substrate 1 is carried out within preheating room A. In processing room B, it has circular cylinder-like a lamp (a tungsten lamp or xenon lamp) 13 and the reflecting plate 14 (condensing optical system), and is filled with the aforementioned oxidizing gas ambient atmosphere. It reflects by the reflecting plate 14 and the light irradiated from the lamp 13 is condensed by substrate 1 front face at a line (illustration S). Since the sweep of the substrate 1 is carried out at a fixed speed in a stage 12 top, according to the speed of a stage 12, the sweep also of the optical S which condensed to the line is carried out to substrate 1 front face. A substrate 1 is cooled within cooling room C.

[0060] In this RTA processing, the polycrystal silicon layer 2 absorbs optical S which condensed to the line, and temperature rises. Consequently, the front face of the polycrystal silicon layer 2 which became the elevated temperature in the oxidizing gas ambient atmosphere oxidizes thermally, and an oxide film 3 is formed. At this time, since the transparent insulating substrate 1 penetrates light and does not absorb it, there is no direct temperature rise by optical S, and it is only that temperature rises by heat conduction from the polycrystal silicon layer 2. Therefore, the temperature of the polycrystal silicon layer 2 can be raised, stopping the temperature of the transparent insulating substrate 1 in a constant value by adjusting the output of a lamp 13, and the trace speed of a stage 12. Therefore, high heat-resisting glass can be used as a transparent insulating substrate 1.

[0061] In addition, the membrane quality of the oxide film 3 formed by RTA processing is uniform, and has few defects, and the interface level density and proof pressure become the thermal oxidation layer and EQC which were formed of the voloxidation. Moreover, since an oxidizing quality becomes high in the order of oxygen < steam < ozone, when ozone is used as a oxidizing gas, an oxide film 3 can be formed most efficiently.

[0062] By the **-ed [process 3 (refer to drawing 1 (c));] method, it is an insulator layer 4 (thickness; 900 **) on an oxide film 3. It forms. There is PVD or CVD in the **-ed method. There are ordinary-pressure CVD, reduced pressure CVD, a plasma CVD method, efficient consumer response plasma CVD method, optical-pumping CVD, etc. as CVD. Moreover, there are a vacuum deposition, EB (Electron Beam) vacuum deposition, the MBE (Molecular Beam Epitaxy) method, a spatter, etc. in PVD. And as quality of the material of an insulator layer 4, a silicon oxide, a silicon nitride, and silicon ***** (SiO_xNy) are used, and there is also the technique of making it into multilayer structure combining each layer.

[0063] In a sputter, to the top which can **** the precise insulator layer 4 at the low temperature below 200 **, since a **** speed is also quick, a throughput can be raised. In addition, although a device is exposed into a plasma in a sputter, since the oxide film 3 is formed, the polycrystal silicon layer 2 does not receive a damage.

[0064] Pyrolysis of a mono silane or a disilane, pyrolysis of organic oxy-silanes (TEOS etc.), hydrolysis of a silicon halide, etc. are used for formation of the silicon oxide by CVD. Pyrolyses, such as ammonia and a dichloro silane (SiH_2Cl_2), ammonia and a mono silane, nitrogen, and a mono silane, etc. are used for formation of the silicon nitride by CVD. Silicon ***** has the property of both the layers of an oxide film and a nitride, and can form a nitrogen oxide (N_2O) in the system of formation of the silicon nitride by CVD by carrying out a little introduction.

[0065] In addition, when CVD is used, there is a fault that **** temperature turns high up compared with the case where a sputter is used, a **** speed becomes slow, and the compactness of the formed insulator layer 4 is inferior.

[0066] Thus, the gate insulator layer 5 is formed by the insulator layer 4 and the oxide film 3 which were formed. Next, by RTA processing, it bundles up all over a device and light is irradiated. It is not necessary to perform RTA processing in this case in the oxidizing gas ambient atmosphere unlike RTA processing at the time of formation of the above mentioned oxide film 3, and to carry out the sweep of the need of making a line condensing light on a substrate 1, or its light. That is, each two to layer 4 whole can be collectively heated by bundling up all over a device and irradiating light. Consequently, reduction of the interface level density of the polycrystal silicon layer 2 and the oxide film 3, membranous improvement of an insulator layer 4, and crystalline enhancement in the polycrystal silicon layer 2 can be aimed at.

[0067] The gate electrode 6 is formed on the process 4 (refer to drawing 1 (d)); gate insulator layer 5, and patterning is carried out to a desired configuration. As quality of the material of the gate electrode 6, the polycrystal silicon (doped polysilicon) with which the impurity was doped, a metal silicide, a polycide, a refractory-metal simple substance, other metals, etc. are used, and CVD or PVD is used for the formation.

[0068] The source drain field 7 is formed in the polycrystal silicon layer 2 with process 5 (refer to drawing 2); self-matching technique, using the gate electrode 6 as a mask. There are an elevated-temperature process and a low-temperature process also in the formation technique of the source drain field 7. In an elevated-temperature process, hot heat treatment is performed for an impurity after an ion implantation, and an impurity is activated. In a low-temperature process, injection and activation of an impurity are simultaneously performed by irradiating the ion shower by the mixed gas of phosphine gas (PH_3) or diboron-hexahydride gas (B_2H_6), and hydrogen gas, without establishing a special heat treatment process. In addition, in a low-temperature process, there is also a method of activating an impurity by performing heat treatment of hours [several] - some dozens of hours for an impurity at the low temperature below 600 ** grade after an ion implantation.

[0069] In addition, when high heat-resisting glass is used for the transparent insulating substrate 1, you have to use a low-temperature process not only at the time of formation of the polycrystal silicon layer 2 but at the time of formation of the gate insulator layer 5, and formation of the source drain field 7.

[0070] Next, the layer insulation layer 8 is formed all over a device. As quality of the material of the layer insulation layer 8, a silicon oxide, silicate glass, a silicon nitride, etc. are used, and CVD or PVD is used for the formation. Then, the contact hole 9 in contact with the source drain field 7 is formed in the layer insulation layer 8, the source drain electrode 10 is formed, and polycrystal silicon TFT106 is completed.

[0071] Thus, in this example, the gate insulator layer 5 consists of an oxide film 3 formed on the polycrystal silicon layer 2, and an insulator layer 4 formed on it. The oxide film 3 which touches the polycrystal silicon layer 2 specifies the interface level of the gate insulator layer 5. Here, as for the interface level density of an oxide film 3, for a parvus reason, the interface level density as gate insulator layer 5 whole also becomes small. Therefore, according to this example, the element property of polycrystal silicon TFT106 can be raised.

[0072] However, the polycrystal silicon layer 2 does not have so flat a front face as a single-crystal-silicon substrate, and since oxidization of the polycrystal silicon layer 2 is specified by the field azimuth, it becomes what was ruined. However, when the thickness of an oxide film 3 is thin, irregularity of the front face of an oxide film 3 can be made small. Therefore, 50 - 100 ** is suitable for the thickness of an oxide film 3. When the thickness of an oxide film 3 becomes thicker than this domain, the irregularity of the front face of an oxide film 3 becomes large, and there is an inclination that the element property of polycrystal silicon TFT106 gets worse. When the thickness of an oxide film 3 becomes thinner than this domain on the contrary, the interface level density as gate insulator layer 5 whole becomes large, and there is an inclination that the element property of polycrystal silicon TFT106 gets worse too.

[0073] Moreover, in this example, when a sputter is used for formation of an insulator layer 4, the gate insulator layer 5 can be formed by the high throughput according to a low-temperature process.

[0074] Furthermore, the element property of polycrystal silicon TFT106 can be further raised by performing RTA processing after formation of the gate insulator layer 5. And if highly efficient polycrystal silicon TFT formed in this way is used as a pixel driver element of active-matrix LCD, high definition LCD can be obtained. Moreover, in this example, if a low-temperature process is adopted as all processes, high heat-resisting glass can be used for the transparent insulating substrate 1, and LCD with a big panel size can be offered cheaply.

[0075] Next, the manufacture technique of the pixel section of LCD which takes the penetrated type configuration using polycrystal silicon TFT106 manufactured as mentioned above as a pixel driver element is explained according to drawing 4.

[0076] Formation of the process 1; layer insulation layer 8 is preceded, and the store electrode 51 of the supplementary capacity which consists of an indium stannic-acid ghost (ITO; Indium Tin Oxide) etc. is formed on the pixel section field of the transparent insulating substrate 1 by the sputter.

[0077] A process 2 -- an insulator layer 52 is formed all over; device As quality of the material of an insulator layer 52, a silicon oxide, silicate glass, a silicon nitride, etc. are used, and CVD or PVD is used for the formation. Next, by the sputter, the contact hole for contacting the source drain electrode 10 is formed in an insulator layer 52, ITO layer is formed all over the device

containing the contact hole, patterning of the ITO layer is carried out, and the display electrode 53 is formed.

[0078] Phase opposite of the transparent insulating substrate 1 in which process 3; polycrystal silicon TFT106 was formed, and the transparent insulating substrate 55 by which the common electrode 54 was formed in the front face is carried out, among each substrates 1 and 55, liquid crystal is enclosed and the liquid crystal layer 56 is formed. Consequently, the pixel section of LCD is completed.

[0079] The block configuration of active matrix formula LCD of this example is shown in drawing 5. In the pixel section 101, it is each scanning line (gate wiring) $G1 \sim Gn$ and $Gn+1 \sim Gm$. Each data line $D1$ (drain wiring) $\sim Dn$ and $Dn+1 \sim Dm$ is arranged. Each gate wiring and each drain wiring intersect perpendicularly, respectively, and the pixel 102 is formed in the rectangular fraction. And it connects with the gate driver 103 and a gate signal (scanning signal) impresses each gate wiring. Moreover, it connects with the drain driver (data driver) 104, and a data signal (video signal) impresses each drain wiring. The circumference drive circuit section 105 is constituted by these drivers 103, 104. And generally LCD which formed any or one side on the same substrate as the pixel section 101 at least among each driver 103, 104 is called driver one apparatus (driver built-in) LCD. In addition, the gate driver 103 may be formed in the both sides of the pixel section 101. Moreover, the drain driver 104 may be formed in the both sides of the pixel section 101.

[0080] To drawing 6, it is the gate wiring Gn . Drain wiring Dn . The equal circuit of the pixel 102 prepared in the rectangular fraction is shown. a pixel 102 -- TFT106 as a pixel driver element, liquid crystal cell LC, and supplementary capacity CS **** -- it is constituted gate wiring Gn **** -- the gate of TFT106 connects -- having -- drain wiring Dn **** -- the drain of TFT106 is connected. And in the source of TFT106, it is the display electrode (pixel electrode) and the supplementary capacity (the storage capacitance or addition capacity) CS of a liquid crystal cell LC. It connects. The aforementioned signal store element is constituted by this liquid crystal cell LC and the supplementary capacity CS. In the common electrode (electrode of the opposite side of a display electrode) of a liquid crystal cell LC, it is voltage V_{com} . It is impressed. On the other hand, it is the supplementary capacity CS. It sets and constant-voltage VR is impressed to the electrode of the opposite side of the electrode of the side connected with the source of TFT106. The common electrode of this liquid crystal cell LC is the electrode which was common to all the pixels 102 as the character. And electrostatic capacity is formed between the display electrode of a liquid crystal cell LC, and the common electrode. In addition, supplementary capacity CS It sets and the electrode of the opposite side of the electrode of the side connected with the source of TFT106 may be connected with the next gate wiring $Gn+1$.

[0081] Thus, it sets to the constituted pixel 102 and is the gate wiring Gn . TFT106 will be turned on, if it is made a right voltage and a right voltage is impressed to the gate of TFT106. Then, drain wiring Dn . At the impressed data signal, it is the electrostatic capacity and the supplementary capacity CS of a liquid crystal cell LC. It charges. On the contrary, it is the gate wiring Gn . If it is made a negative voltage and a negative voltage is impressed to the gate of TFT106, TFT106 becomes off and it is the drain wiring Dn at the time. The voltage currently impressed is the electrostatic capacity and the supplementary capacity CS of a liquid crystal cell LC. It is held. Thus, arbitrary data signals can be made to hold to a pixel 102 by giving a data signal writing in a pixel 102 to a drain wiring, and controlling the voltage of a gate wiring. The permeability of a liquid crystal cell LC changes according to the data signal holding the pixel 102, and a picture image is displayed.

[0082] Here, a write-in property and a hold property are in a thing important as a property of a pixel 102. a ***** [that being required from a write-in property can fully write in a desired video-signal voltage within the unit time set from the specification of the pixel section 101 to a signal store element (the liquid crystal cell LC and supplementary capacity CS)] -- ** -- it is the point to say Moreover, being required from a hold property is the point whether only required time can hold the video-signal voltage once written in the signal store element.

[0083] Supplementary capacity CS It is prepared for increasing the electrostatic capacity of a signal store element, writing in, and raising a property and a hold property. That is, a liquid crystal cell LC has a limitation in increase of electrostatic capacity on the structure. Then, supplementary capacity CS The insufficiency of the electrostatic capacity of a liquid crystal cell LC is compensated.

[0084] The mobility of polycrystal silicon TFT106 at the time of changing the thickness of an oxide film 3 to drawing 7 and change of a proof pressure are shown. When using polycrystal silicon TFT106 as a pixel driver element of active-matrix LCD, if the proof pressure is low, polycrystal silicon TFT106 will start a malfunction. Specifically, cm is required for the proof pressure of polycrystal silicon TFT106 in 7MV /or more.

[0085] It becomes impossible moreover, for the performance of the circumference drive circuit section to be unable to fall and to obtain high definition LCD in driver one apparatus LCD, if the mobility is low, when it constitutes the circumference drive circuit section 105 of active-matrix LCD from polycrystal silicon TFT106. If high definition LCD is obtained after constituting the circumference drive circuit section 105 from the polycrystal silicon TFT with low mobility, the circuit scale of the circumference drive circuit section 105 will become large too much. Specifically, the mobility of polycrystal silicon TFT106 is required for more than $60\text{cm}^2/\text{V}$, and S .

[0086] Therefore, 30 - 130 ** is suitable for the thickness of an oxide film 3, and it is 50-100 ** desirably. In addition, each above-mentioned example may be changed as follows, and can acquire the same operation and the same effect also by that case.

(1) Place and replace the polycrystal silicon layer 2 with an amorphous silicon layer, and form an oxide film 3 and the insulator layer 4 one by one on the amorphous silicon layer. And by RTA processing of a process 3, heating melting of the amorphous silicon layer is carried out, and the polycrystal silicon layer 2 is formed.

[0087] (2) When an oxide film 3 is formed by RTA processing, exclude RTA processing of a process 3. In this case, a manufacturing process can be simplified, while the reduction effect of the interface level density of the gate insulator layer 5 is inferior upwards compared with the above-mentioned example and it becomes impossible to plan membraneous improvement of an insulator layer 4 and crystalline enhancement in the polycrystal silicon layer 2.

[0088] (3) Raise the element property of polycrystal silicon TFT by performing a hydrogen treating after formation of the polycrystal silicon layer 2 in the manufacturing process of polycrystal silicon TFT. A hydrogen treating is the technique of

reducing a defect, making stabilize the crystal structure and raising electric field effect mobility by combining a hydrogen atom with the crystal-defect fraction of polycrystal silicon.

[0089] (4) Dope an impurity into the fraction equivalent to the channel field between the source drain fields 7 in the polycrystal silicon layer 2, and control the threshold voltage (V_{th}) of polycrystal silicon TFT. In polycrystal silicon TFT formed by the solid phase grown method, with an n channel transistor, a threshold voltage shifts in the orientation of depression, and it is in the inclination which a threshold voltage shifts in the orientation of an enhancement with a p-channel transistor. The inclination becomes more remarkable when a hydrogen treating is performed especially. What is necessary is just to dope an impurity to a channel field, in order to suppress a shift of this threshold voltage.

[0090] (5) When polycrystal silicon TFT is miniaturized and the thickness of a gate insulator layer becomes thin, an insulator layer 4 may be excluded and the gate insulator layer 5 may consist of only an oxide film 3.

(6) Apply to amorphous silicon TFT instead of polycrystal silicon TFT.

[0091] (7) Apply to TFT of all structures, such as not only a planar type but a reverse planar type, a stagger type, a reverse stagger type, etc.

(8) Apply to an insulated-gate type semiconductor device not only TFT but at large. Moreover, it applies to all the semiconductor devices using silicon layers, such as optoelectric transducers, such as a solar battery and a photosensor, a bipolar transistor, and a static induction transistor (SIT; Static Induction Transistor).

[0092] (9) Place and replace the transparent insulating substrate 1 with insulating layers, such as a ceramic substrate and a silicon oxide, and apply to not LCD but a contact type image sensor, a three-dimensional IC, etc.

(10) Use TFT for the CCD in the memory cell of a dynamic RAM (DRAM), the load element in the memory cell of a static RAM (SRAM), etc.

[0093] As mentioned above, although each example was explained, technical thought other than the claim which can be grasped from each example is indicated with those effects below.

(b) The manufacture technique of the TFT which performed the hydrogen treating to the silicon layer in the manufacture technique of TFT given in any 1 term of claims 13-17.

[0094] When doing in this way and a polycrystal silicon layer is used for a silicon layer, when a hydrogen atom combines with the crystal-defect fraction, a defect can decrease, the crystal structure can be stable and electric field effect mobility can be raised.

[0095] (b) The manufacture technique of the TFT which doped the impurity into the fraction which is equivalent to any 1 term of claims 13-17 in the channel field of a silicon layer in the manufacture technique of the TFT a publication.

[0096] If it does in this way, the threshold voltage of TFT is controllable. By the way, in this specification, the component concerning the configuration of invention shall be defined as follows.

[0097] (a) As an insulating substrate, the substrate by all insulating materials, such as quartz glass, high heat-resisting glass, a high heat-proof resin, and a ceramics, is not only included, but conductive substrates, such as a metal which prepared insulating layers, such as a silicon oxide, in the front face, shall be included.

[0098] (b) As a oxidizing gas, not only oxygen but all oxidizing gases, such as ozone and a steam, shall be included.

[0099]

[Effect of the invention]

1] The small semiconductor device and its manufacture technique of an interface level density can be offered.

[0100] 2] The TFT equipped with the outstanding gate insulator layer and its manufacture technique can be offered.

3] The outstanding display using highly efficient TFT as a pixel driver element can be offered.

[Translation done.]